单通道低侧栅极驱动芯片

概述

PN7001L是一款单通道、高速低侧栅极驱动芯片，该芯片可以作为功率MOSFET和IGBT的驱动开关。PN7001L的输出可以提供3.5A拉/灌电流的峰值电流脉冲，且输入信号到输出信号传播延时典型值为20ns。该芯片的IN+输入管脚兼容5V和3.3V信号控制，具有良好的抗干扰性。芯片驱动级为HVCMOS结构，高侧导通电阻1.4ohm，低侧导通电阻0.8ohm。

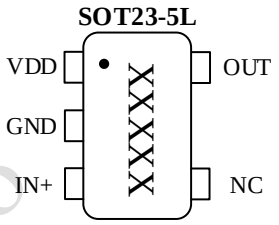
应用领域

- 开关模式电源
- 直流变换器
- 电机控制
- 功率MOSFET和IGBT栅极驱动器

特性

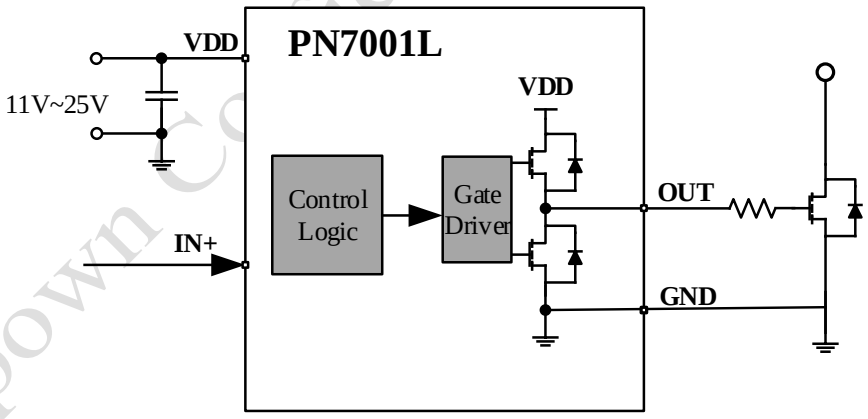
- 宽电源电压范围：11V～25V
- 3.5A峰值拉电流和灌电流
- 输入管脚兼容5V和3.3V控制信号
- 快速传播延时（典型值20ns）
- 快速上升和下降时间（典型值5ns）
- 当输入管脚悬空时，输出保持为低电平
- 采用SOT23-5L封装

封装/订购信息



订购代码	封装
PN7001LTB-A1	SOT23-5L

典型应用

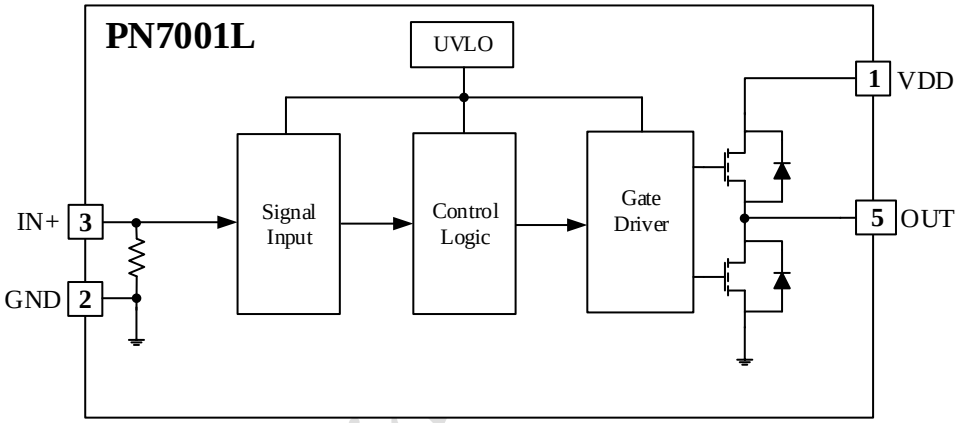


Chipown Confidential to

管脚定义

管脚名	管脚标号	引脚功能描述
VDD	1	供电电源
GND	2	地
IN+	3	逻辑输入信号，控制驱动输出 OUT IN+=“L”，OUT=“L”；IN+=“H”，OUT=“H”
NC	4	空脚
OUT	5	驱动输出

功能框图



Chipown Confi

极限工作范围

VDD 脚耐压……...……...…-0.3~30V
IN+脚耐压……-0.3~24V
OUT 脚耐压……...……-0.3~30V
(-2~VDD + 0.3V Repetitive pulse <200ns)

人体模式 ESD 能力(1)（HBM）……..…... ±4kV
存储温度范围……...…..…….-55~150℃
管脚焊接温度（10秒）……...……260℃
封装热阻 θ_{JC}（SOT23-5L）…….……. 75℃/W

备注：1. 产品委托第三方严格按照芯片级 ESD 标准(ANSI/ESDA/JEDEC JS-001-2017)中的测试方式和流程进行测试。

适用工作范围

VDD 电压…….……11~25V
IN+电压…….……0~20V

工作结温…….…..…...……-40~150℃

Chipown Confidential to

电气特性

(T_J=25℃，VDD=15V，OUT 端接 1.8nF 电容，特殊情况另行说明。)

参数	符号	测试条件	最小值	典型值	最大值	单位
VDD管脚						
VDD 启动电压	VDD_{ON}		9.2	10.2	11	V
VDD 欠压保护阈值	VDD_{OFF}		8.2	9.2	10	V
VDD 欠压滞回值	V_{HYS}	VDD_{ON}-VDD_{OFF}		1		V
VDD 静态电流	I_{VDDQ1}	VDD=15V，OUT输出高	100	180	250	uA
	I_{VDDQ2}	VDD=15V，OUT输出低	100	160	200	uA
IN+管脚（IN+）						
IN+有效高电平	V_{IH}		2.5			V
IN+有效低电平	V_{IL}				0.8	V
IN+电压滞回值	V_{INHYS}			1		V
输入低电流	I_{IL}	V_{IN+}=0V			1	uA
输入高电流	I_{IH}	V_{IN+}=5V		5		uA
IN+下拉电阻	R_{IPD}			1000		kΩ
输出管脚（OUT）						
High-side 导通电阻	$R_{DS(ON)_H}$	I_O=50mA	1	1.4	2	Ω
High-side 峰值电流	I_{SRC}	C_{LOAD}=0.22μF，F_{SW}=1kHz		3.5		A
Low-side 导通电阻	$R_{DS(ON)_L}$	I_O=-50mA	0.65	0.8	1.35	Ω
Low-side 峰值电流	I_{SNK}	C_{LOAD}=0.22μF，F_{SW}=1kHz		3.5		A
输出下拉到地电阻	R_{OPD}			500		kΩ
输出上升时间(1)	T_r	10% to 90%VDD		5		ns
输出下降时间(1)	T_f	90% to 10%VDD		5		ns
输入信号到输出翻转为高电平传输延时(1)	T_{PLH}		10	20	30	ns
输入信号到输出翻转为低电平传输延时(1)	T_{PHL}		10	20	30	ns
最小输入脉宽	T_{WP}			15	25	ns

(1) 具体参数定义见图 1。

参数定义

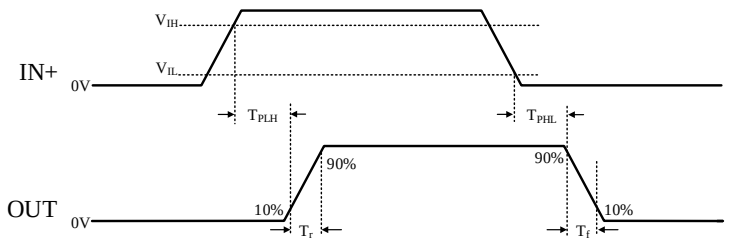
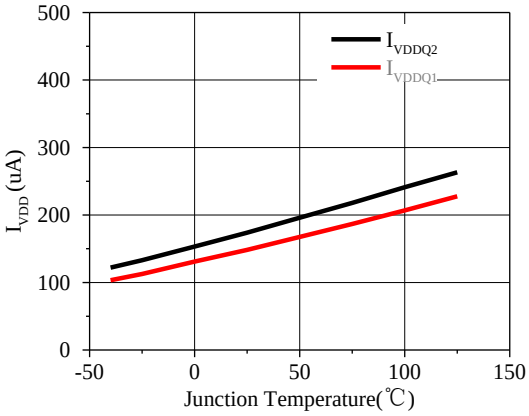


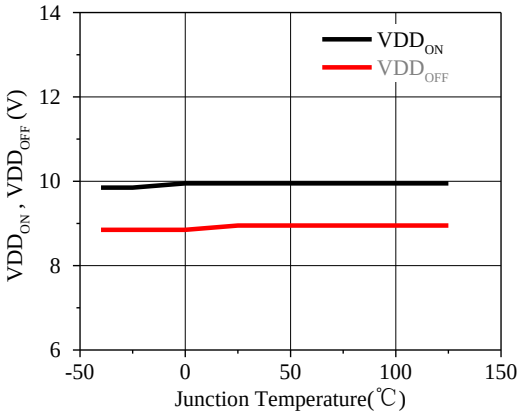
图 1 输入/输出波形

Chipown Confidential to

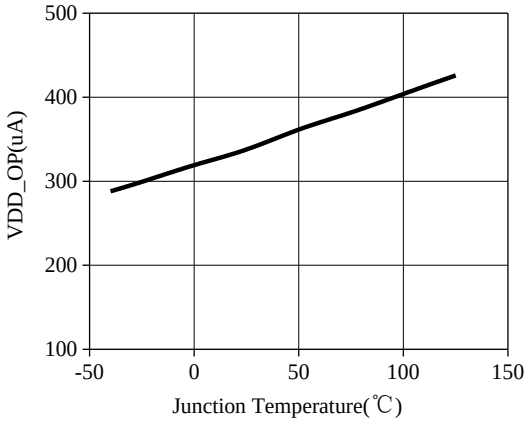
特性曲线



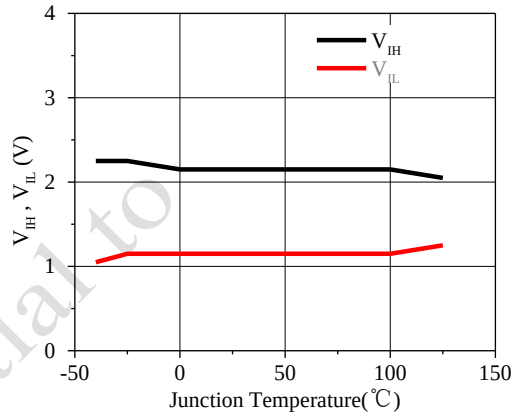
(a) I_{VDD} VS T_J



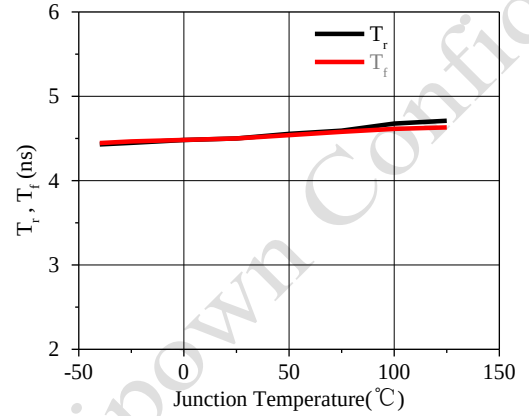
(b) VDD_{ON}, VDD_{OFF} VS T_J



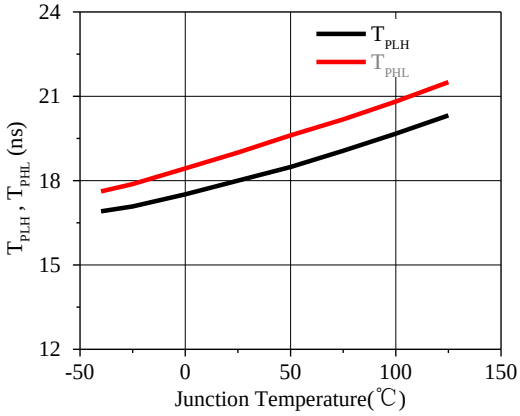
(c) VDD_OP VS T_J



(d) V_{IH}, V_{IL} VS T_J

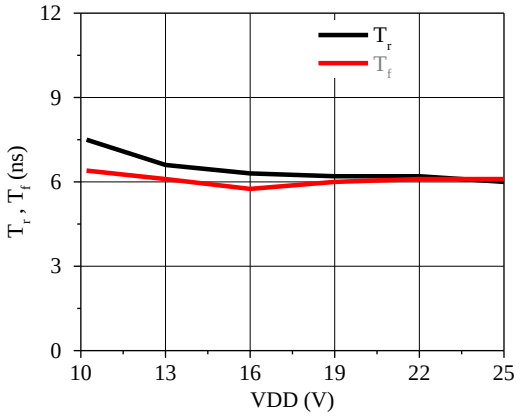


(e) T_r, T_f VS T_J

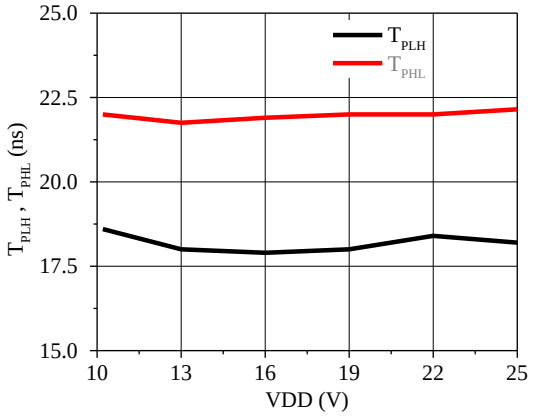


(f) T_{PLH}, T_{PHL} VS T_J

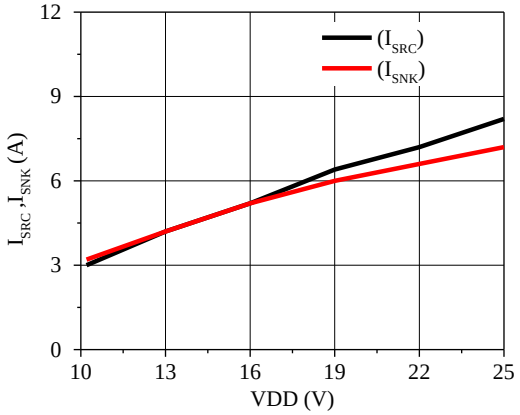
Chipown Confidential to



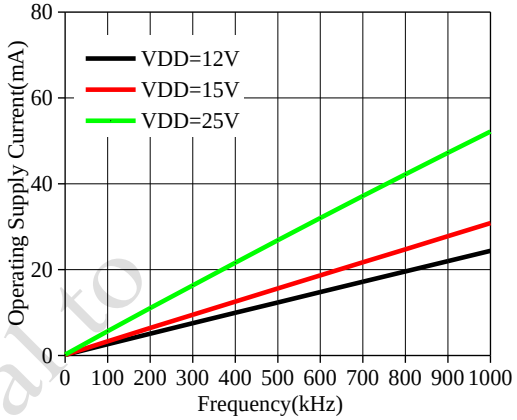
(g) T_r, T_f VS VDD



(h) T_{PLH}, T_{PHL} VS VDD



(i) I_{SRC}, I_{SNK} VS VDD



(j) VDD Current VS Frequency

Chipown Confidential to

功能描述

PN7001L是一款单通道、高速低侧栅极驱动芯片。该芯片可以作为功率MOSFET和IGBT的驱动开关，并且其输出可以提供高达3.5A拉电流和3.5A灌电流的峰值电流脉冲。

1. 欠压保护

PN7001L提供欠压保护功能。当VDD电压上升但仍小于VDD开启电压VDD_{ON}时，无论输入信号的状态，芯片输出保持为低电平；当VDD电压下降到小于欠压保护的阈值电压VDD_{OFF}时，无论输入信号的状态，芯片输出保持为低电平。设置滞回值可以防止以下两种情况导致的误触发：一是低电压工作时，电源供电有噪声，导致VDD电压不稳定；二是输出翻转时的大电流会拉低VDD。

图2是VDD上电过程。如图所示，在VDD未上升到开启电压VDD_{ON}时，芯片输出为低电平；当VDD电压上升到VDD_{ON}时，驱动输出的幅值跟随VDD变化直到VDD稳定，且芯片输出相位与输入信号同相。

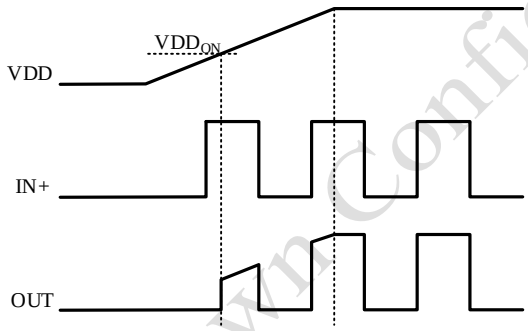


图 2 上电过程

2. 输入级

PN7001L的输入脚IN+兼容TTL/CMOS电平，有效高电平下限是2.5V，有效低电平上限是0.8V，与外加电源VDD无关。同时，该引脚的有效电平具有较宽的滞回，典型值是0.7V。传统的TTL电平实现时存在小于0.5V的滞回，因此输入引脚设计较宽的滞回值（0.7V）可以提高抗噪声干扰能力。

PN7001L的输入引脚内部接下拉电阻，如果该引脚浮置，芯片输出默认为低电平，这样可以防止通电时由于开关抖动，产生误开启的情况。

3. 输出级

PN7001L驱动级输出采用互补CMOS结构，最高可以提供3.5A的拉电流和3.5A的灌电流。PN7001L的输出阻抗非常小，高侧PMOS的导通电阻典型值是1.4Ω，低侧NMOS的导通电阻典型值是0.8Ω。

Chipown Confidential

驱动电流和功率损耗

PN7001L工作时能够提供3.5A拉电流和灌电流，满足功率MOSFET或IGBT快速开启和关断时所需的大电流。栅极驱动器件封装的功耗取决于以下因素：

1. 功率MOSFET或IGBT所需的栅电荷
2. 开关频率
3. 外接的栅极电阻

PN7001L 具有非常小的静态电流，并且其内部逻辑可以消除驱动级输出的直通，因此在驱动级的功率损耗可以忽略不计。

当栅极驱动装置接容性负载时，电源经高侧功率管给容性负载充电的能量可以用下式计算：

$$E_G = \frac{1}{2} C_{LOAD} V_{DD}^2 \quad (1)$$

式中，C_{LOAD}是负载电容；V_{DD}是栅极驱动装置供电的电源。同样，电容能量经低侧功率管放电时，亦有上述(1)式。

因此，总功率损耗可由式(2)进行计算：

$$P_G = 2 \times \frac{1}{2} C_{LOAD} V_{DD}^2 f_{SW} \quad (2)$$

式中，f_{SW}是开关频率。

当 V_{DD}=15V，C_{LOAD}=1nF，f_{SW}=300kHz 时，功率损耗计算如下：

$$P_G = 1nF \times 15V^2 \times 300kHZ = 0.0675W \quad (3)$$

功率 MOSFET 开启和关断时需要对其栅电荷进行充放电，上述电容负载可认为是与栅电荷等效的电容。这个栅电荷包括了输入电容电荷 Q_{GS}和电源在开通和关断两个状态切换时漏极电压变化所需的电荷 Q_{GD}。大多数制造商提供了器件在特定条件下的典型栅电荷规格，基于公式 $Q_G=C_{LOAD}V_{DD}$ 可确定电容充放电时电源的总功率损耗，如下式(4)所示：

$$P_G = Q_G V_{DD} f_{sw} \quad (4)$$

假设 PN7001L 驱动输出具有 60nC 的栅电荷（Q_G=60nC，V_{DD}=15V），与栅电荷有关的总功率损耗可计算为：

$$P_G = Q_G V_{DD} f_{sw} = 0.27W \quad (5)$$

当 MOSFET 打开或关断时，该功率损耗 P_G经电路中的阻性元件以热量形式耗散。导通时，负载电容充电耗散总功率的一半；关断时，负载电容放电耗散总功率的一半。当驱动和 MOSFET 或 IGBT 之间没有使用外部栅电阻时，该功率完全在驱动芯片内部耗散。当使用外接电阻时，驱动器内阻和外接电阻按比例损耗功率（电阻越大，功率损耗越大）。在此简化分析的基础上，开关过程中功率损耗计算如式(6)所示。

$$P_G = 0.5 Q_G V_{DD} f_{SW} \times \left(\frac{R_{OFF}}{R_{OFF}+R_{GATE}} + \frac{R_{ON}}{R_{ON}+R_{GATE}}\right) \quad (6)$$

式中，R_{OFF}= $R_{DS(ON)_L}$，R_{ON}= $R_{DS(ON)_H}$。

除了上述栅电荷相关的功耗外，内部所有电路的静态漏电也会产生额外的功率损耗，比如输入级（上拉、下拉电阻）和欠压保护等。静态功率损耗由式(7)给出。

$$P_G = I_{DD} V_{DD} \quad (7)$$

假设 I_{DD}=0.2mA，功率损耗计算为：

$$P_G = 0.2mA \times 15V = 3mW \quad (8)$$

显而易见，和前述计算的栅电荷相关的功率耗散相比，静态功率耗散是可忽略不计的。

在 V_{DD}=15V 时，偏置电流可以用式(9)计算，外加 0.2mA 的静态电流。

$$I_{DD} = \frac{P_G}{V_{DD}} = \frac{0.0675W}{15V} = 0.0045A \quad (9)$$

Chipown Confidential to

评估板说明

1. 布局指导

栅极驱动芯片具有低阻抗输出和高d*i*/d*t*特性，由于电路中存在寄生电容和寄生电感，这些特性会使得驱动负载端产生过冲、振铃等现象。因此，合理的PCB布局可有效减小寄生参数造成的影响。

PN7001L 在 PCB 布局时需注意以下事项：

(1) 栅极驱动芯片要尽量靠近负载摆放；
(2) VDD引脚需放置1~10uF稳压电容，且尽可能靠近VDD引脚摆放。
(3) OUT引脚经栅极驱动电阻连接到负载，地回路需尽可能小。
(4) 大电流路径必须宽。

图 3 给出了一种 PCB 布局方案。

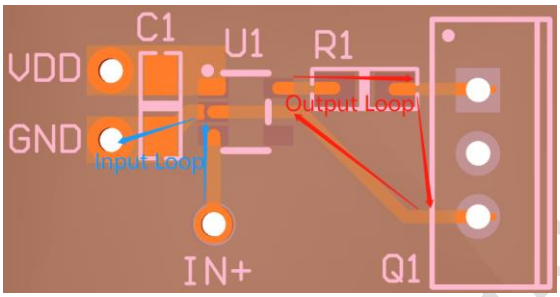


图 3 布局举例

2. 输入电容

在实际应用中，当 MOSFET 打开或关断时，需要进行快速充放电，驱动芯片需提供较大的拉灌电流，此时芯片 VDD 端会出现尖峰电压或浪涌电流现象。常采用在芯片电源输入端串入稳压电容消除尖峰脉冲及浪涌电流。

建议采用 1~10uf 瓷片电容进行稳压，严苛条件下可适当增加电容值。

3. 驱动峰值电流

在实际应用中，系统所需峰值电流取决于具体应用。例如，系统中后级 MOSFET Q_G=40nC，要求在 t=20ns 上升到母线电压 V_{BUS}，则驱动最小峰值电流 $I_{PEAK\text{-}MIN}=Q_G/t$=40nC/20ns=2A。PN7001L 可提供 3.5A 峰值拉灌电流，满足系统要求。

4. 输出驱动电阻

输出驱动电阻 R_G 具有下述功能：

(1) 限制驱动回路寄生电感和电容引起的振铃；

(2) 限制后级 MOSFET dv/dt、di/dt 和体二极管反向恢复引起的振铃；

(3) 调节输出驱动的峰值拉灌电流，减缓上升下降速率，减小开关损耗；

(4) 优化系统 EMI。

在实际应用系统中，可根据所需峰值电流选取驱动电阻 R_G。例如，上述案例中所需峰值电流 2A，由下式可计算得 R_G=6.1Ω。

$$I_{PEAK}=\min\{3.5A,\ \frac{VDD}{R_{DS_ON}+R_G+R_{MOS_INT}}\}$$ 式中

R_{DS_ON} 为上管导通电阻 1.4Ω；

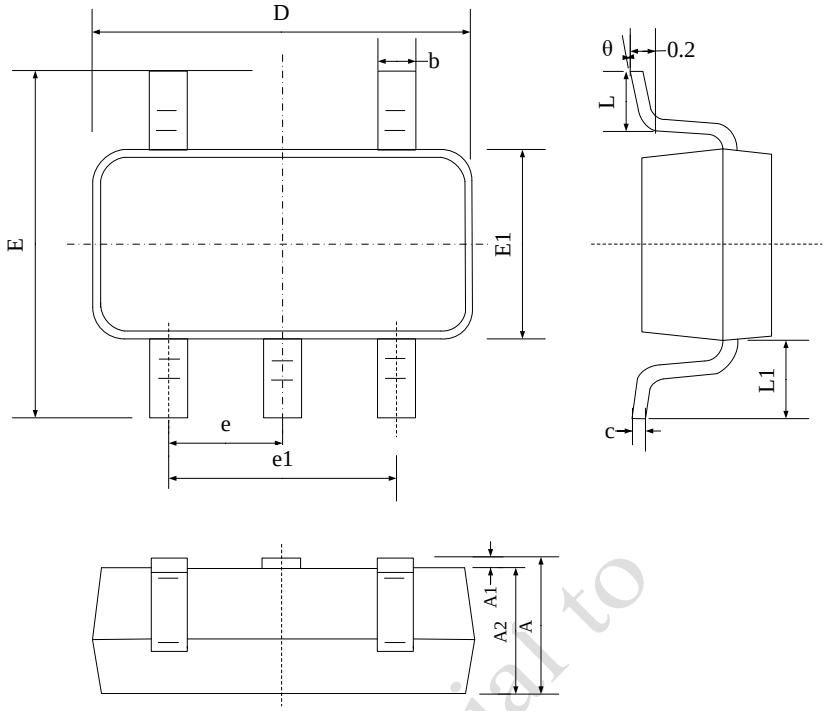
R_G 为输出驱动电阻；

R_{MOS_INT} 为后级 MOSFET 栅极内部输入电阻，设为 0Ω。

Chipown Confidential to

封装信息

封装外形尺寸 SOT23-5L



尺寸 / 符号	最小（mm）	最大（mm）	尺寸 / 符号	最小（mm）	最大（mm）
A	1.050	1.450	E	2.600	3.000
A1	0.000	0.150	e	0.95	
A2	0.900	1.300	e1	1.800	2.000
b	0.300	0.500	L	0.300	0.600
c	0.080	0.220	L1	0.6	
D	2.820	3.050	θ	0°	8°
E1	1.500	1.700			

表层丝印	封装
7HXXX	SOT23-5L

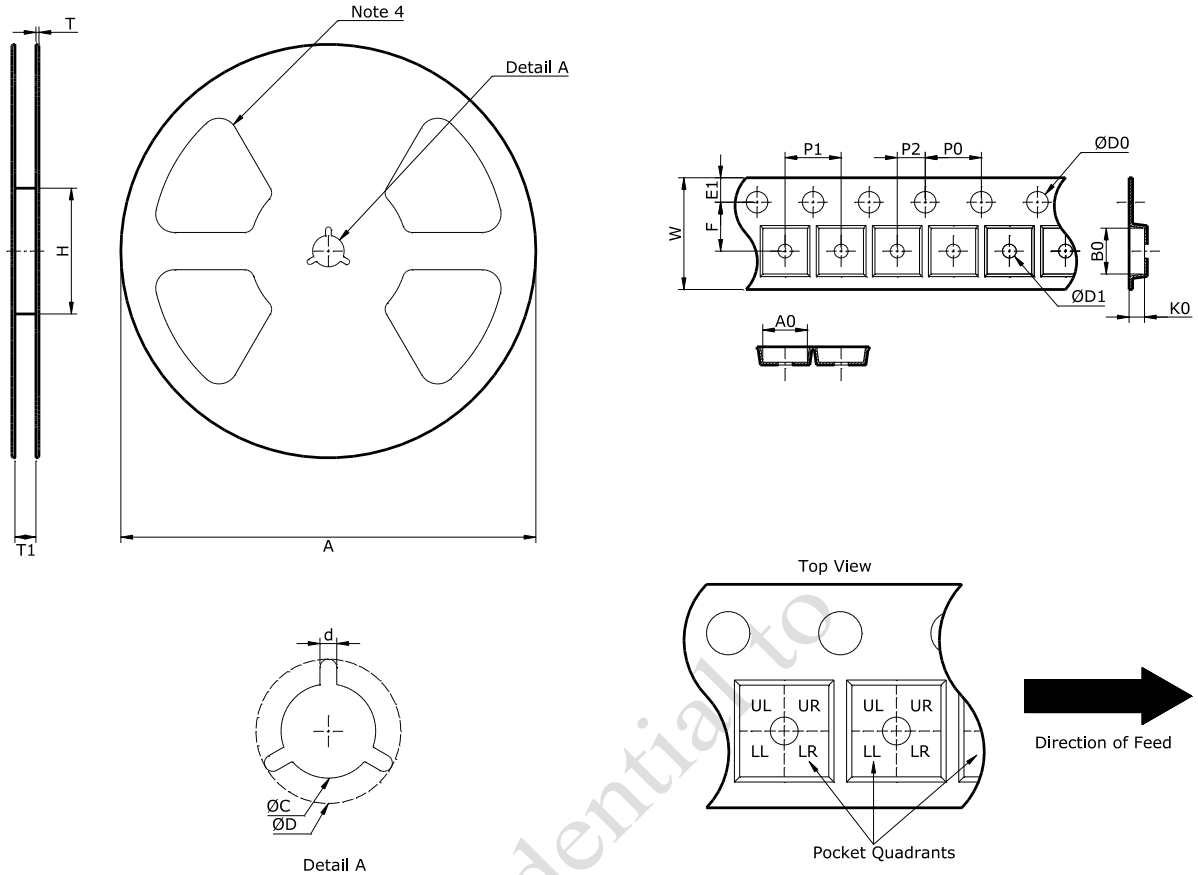
备注： XXX：内部代码

Chipown Confidential to

备注:

1. 此制图可以不经通知进行调整;
2. 器件本体尺寸不含模具飞边。

编带和卷轴信息



A (mm)	T (mm)	T1 (mm)	H (mm)	ØC (mm)	d (mm)	A0 (mm)	B0 (mm)	K0 (mm)
180 +1/−4	1.4 ±0.4	9.5 +1/−1.1	54 ±2	13.00 +2.2/−0.2	2.5 +0.7/−0.6	3.18 +0.2/−0.92	3.23 +0.17/−0.1	1.4 +0.1/−0.2
W (mm)	**F (mm)**	**E1 (mm)**	**P0 (mm)**	**P1 (mm)**	**P2 (mm)**	**ØD0 (mm)**	**ØD1 (mm)**	**Pin 1 Quadrant**
8.0 ±0.1	3.5 ±0.1	1.75 ±0.1	4.0 ±0.1	4.0 ±0.1	2.0 ±0.1	1.5 +0.15/−0.1	1.1 ±0.1	LL

备注:

1. 此制图可以不经通知进行调整;
2. 所有尺寸是毫米公制的标称值;
3. 此制图并非按严格比例，且仅供参考。客户可联系芯朋销售代表获得更多细节;
4. 此处举例仅供参考。

Chipown Confidential to

重要声明

无锡芯朋微电子股份有限公司保留更改规格的权利，恕不另行通知。无锡芯朋微电子股份有限公司对任何将其产品用于特殊目的的行为不承担任何责任，无锡芯朋微电子股份有限公司没有为用于特定目的产品提供使用和应用支持的义务。无锡芯朋微电子股份有限公司不会转让其专利许可以及任何其他的相关许可权利。

Chipown Confidential to